

FEATURES

- 输入电压: **2.5V ~ 5.5V**
- EV RCD **断路器/板载**剩余电流保护芯片
- 数字式剩余电流动作指示
- 混合封装芯片
 - SS4201 调理芯片
 - SS32F103CB*平替(**STM32F103CB***)
- 预留可配置通讯 IO 接口
 - USB
 - CAN
 - I2C
 - USART
- 满足 IEC 62955 RDC-PD 相关剩余电流动作特性要求
- 满足 GB/T 22794 基本剩余电流动作特性要求, 并适配 DC 6mA 测试要求
- 宽的温度范围 (Ta= -40 ~ +85°C)
- LQFP48 封装

APPLICATIONS

- A+6 / B 型电流检测系统
- 直流电流检测模块
- 智能型交直流电流/漏电就检测系统

GENERAL DESCRIPTION

SSIP42103 为**主动自激型**交直流漏电流检测芯片, 采用多芯混合封装, 将**主动自激**振荡及整形芯片与 32 位高速 ARM 单片机芯片 (**SS32F103CB***) 叠封构成, 通过检测算法及控制算法, 可实现不同频率及波形的交直流漏电流检测和控制。

本产品广泛应用于工业及电动汽车充电领域。其固定方式为 PCB **板载贴片**安装, 使用便捷。相比于统器件, 更加符合小型化、模块化的设计要求。

满足 IEC 62752 模式二充电相关剩余电流测试要求; 满足 IEC 62955 模式三充电 RDC-PD 相关剩余电流测试要求; 满足 GB/T 22794 基本要求的基础上, 适配 DC 6mA 测试需求

本芯片可稳定通过 5KHz/100KHz EFT 群脉冲、雷击浪涌、周波跌落、工频磁场等等可靠性实验。

TYPICAL APPLICATION CIRCUIT

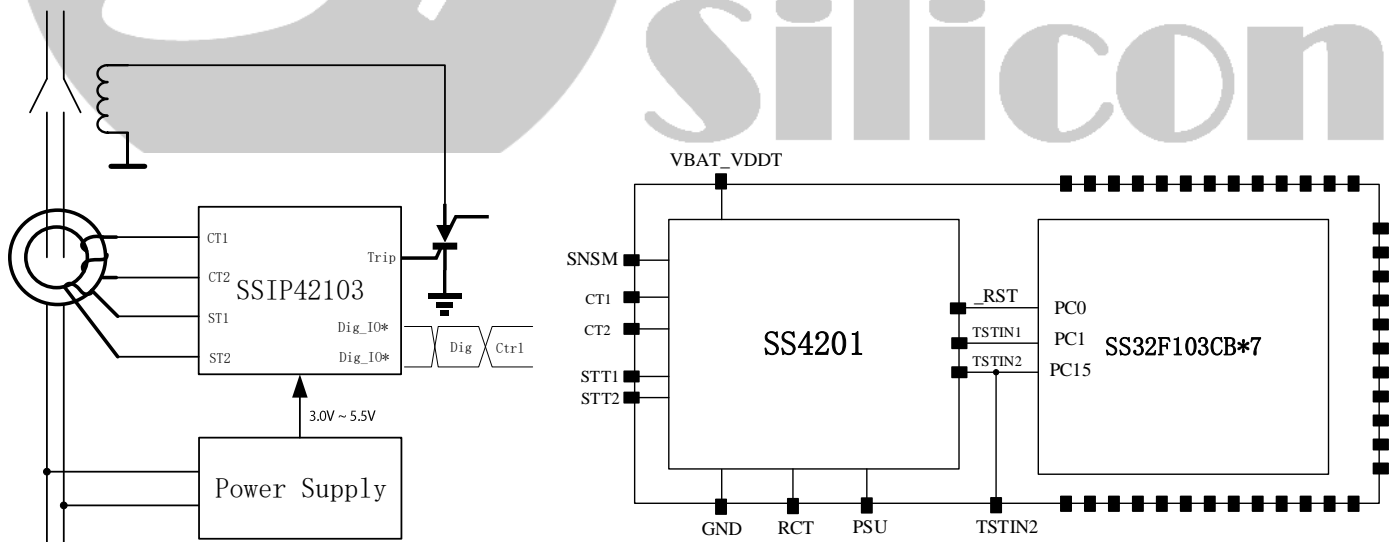


Figure 1. Typical Application Circuit

Rev. A

Information furnished by Orisilicon is believed to be accurate and reliable. However, no responsibility is assumed by Orisilicon for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Orisilicon. Trademarks and registered trademarks are the property of their respective owners.

SPECIFICATIONS

$V_{DD} = 5V_{DC}$; $T_A = 25^\circ C$, unless otherwise noted.

Table 1. SS4201 电参数

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
电源输入电压	V_{DD}		2.5		7	V
工作电流 (功耗)	I_Q	$V_{DD} = 5V$, CT1, CT2 OPEN, TST OFF		60		μA
关断电流	I_{SD}	$V_{DD} = 5V$, $V_{RST} = 0$ /悬空		45		μA
CT1/CT2 电阻	R_{UP}	SNSM= V_{DD} , CT1/CT2 下拉 100mA 电流		2.9		Ω
	R_{DN}	CT1/CT2 上拉 100mA 电流		1.8		Ω
PSU 输出	V_{OH}	PSU 下拉 20mA 电流	4.5			V
	V_{OL}	PSU 上拉 20mA 电流			0.4	V
RST, TSTIN1	V{IH}		2			V
	V_{IL}				0.8	V
VRCT		RCT=250K		2.2		V
TSTIN2 输入电压范围		$I_{OUT} = V_{TSTIN} / 36$, 满足线性关系			2	V
STT1/2 最大输出电流		STT1/2 下拉电流脱离线性时的电流	30			mA

Table 2. SS32F103CBx7 电参数 (参考 SS32F103CBx7 产品手册)

Table 3. 剩余电流动作电流

波形	频率(Hz)	Conditions	Min	Typ	Max	Unit
AC	50		21	24	27	mA
A0	50		20	23	30	mA
A90	50		20	24	30	mA
A135	50		20	24	30	mA
S-DC			3.7		5.5	mA

Table 4. 剩余电流动作时间

波形	频率(Hz)	电流大小	Min	Typ	Max	Unit
AC	50	30mA	10		80	ms
AC	50	60mA	5		64	ms
AC	50	150mA	2		32	ms
AC	50	5A ~ 100A	1		32	ms
A0	50	42mA	10		80	ms
A0	50	84mA	5		64	ms
A0	50	210mA	2		32	ms

A0	50	42mA + 6mA DC	10		80	ms
A0	50	84mA + 6mA DC	5		64	ms
A0	50	210mA + 6mA DC	2		32	ms
S-DC		6mA DC	300	400	500	ms
S-DC		60mA DC	5	12	80	ms
S-DC		300mA DC	2	7	40	ms



Silicon

ABSOLUTE MAXIMUM RATING

Table 5. SS4201 参数

Parameter	Rating
VDDT to GND	-0.3V to +12V
CT1,CT2, SNSM, DRVIN, PSU to GND	-0.3V to +12V
TSTINx, STTx, _RST, RCT, Mode to GND	-0.3V to +12V
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
Operating Ambient Temperature Range	-40°C to +85°C
Soldering Conditions	JEDEC J-STD-020

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值, 不涉及器件在这些或任何其他条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

THERMAL DATA

绝对最大额定值仅适合单独应用, 但不适合组合使用。结温高于限制值时, 会损坏模块。监控环境温度并不能保证 T_J 不会超出额定温度限值。在功耗高、热阻差的应用中, 可能必须降低最大环境温度。

在功耗适中、PCB 热阻较低的应用中, 只要结温处于额定限值以内, 最大环境温度可以超过最大限值。器件的结温 (T_J) 取决于环境温度 (T_A)、器件的功耗 (P_D) 和封装的结到环境热阻 (θ_{JA})。

最高结温 (T_J) 由环境温度 (T_A) 和功耗 (P_D) 通过下式计算:

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结到环境热阻 (θ_{JA}) 基于使用 4 层板的建模和计算方法, 主要取决于应用和板布局。在功耗较高的应用中, 需

要特别注意热板设计。 θ_{JA} 的值可能随 PCB 材料、布局和环境条件不同而异。 θ_{JA} 的额定值基于 4" × 3" 的 4 层电路板。有关板结构的详细信息, 请参考 JESD 51-7 和 JESD 51-9。

Ψ_{JB} 是结到板热特性参数, 单位为 °C/W。封装的 Ψ_{JB} 基于使用 4 层板的建模和计算方法。JESD51-12——“报告和使用电子封装热信息指南”中声明, 热特性参数和热阻不是一回事。 Ψ_{JB} 衡量沿多条热路径流动的器件功率, 而 θ_{JB} 只涉及一条路径。因此, Ψ_{JB} 热路径包括来自封装顶部的对流和封装的辐射, 这些因素使得 Ψ_{JB} 在现实应用中更有用。最高结温 (T_J) 由板温度 (T_B) 和功耗 (P_D) 通过下式计算:

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关 Ψ_{JB} 的详细信息, 请参考 JESD51-8 和 JESD51-12。

THERMAL RESISTANCE

θ_{JA} 和 Ψ_{JB} 针对最差条件, 即器件焊接在电路板上以实现表贴封装。

Table 6. Thermal Resistance

Package Type	θ_{JA}	θ_{JC}	Unit
LQFP48			°C/W

ESD CAUTION



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

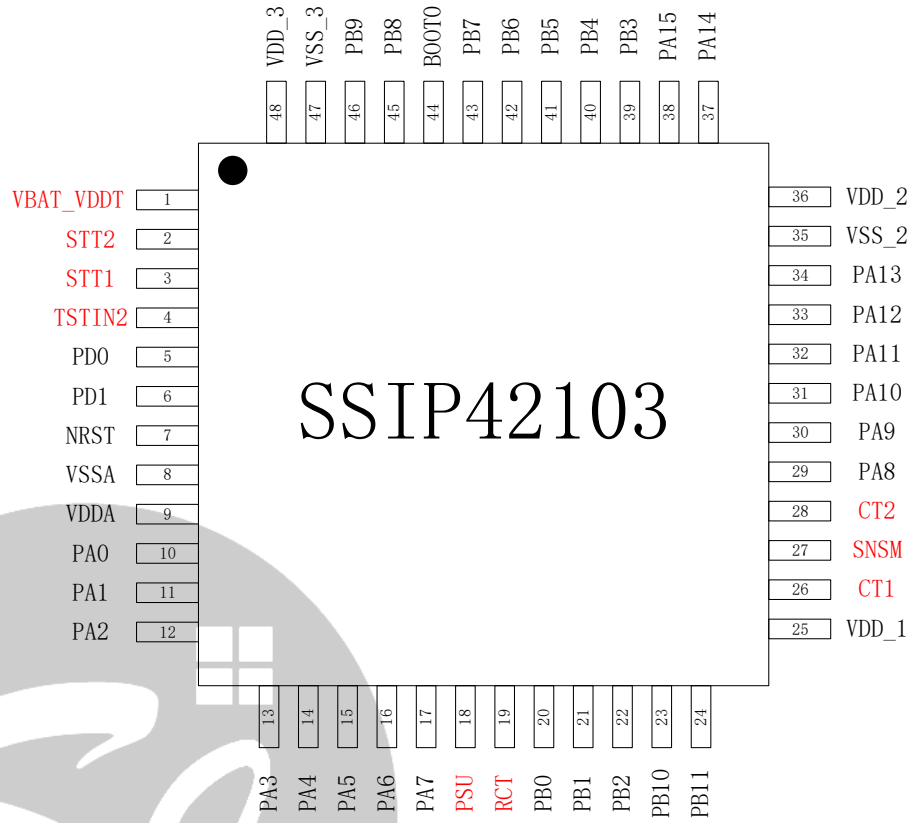


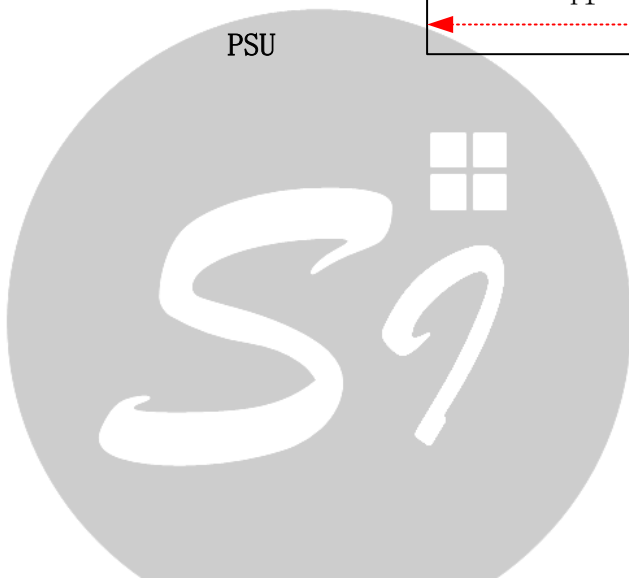
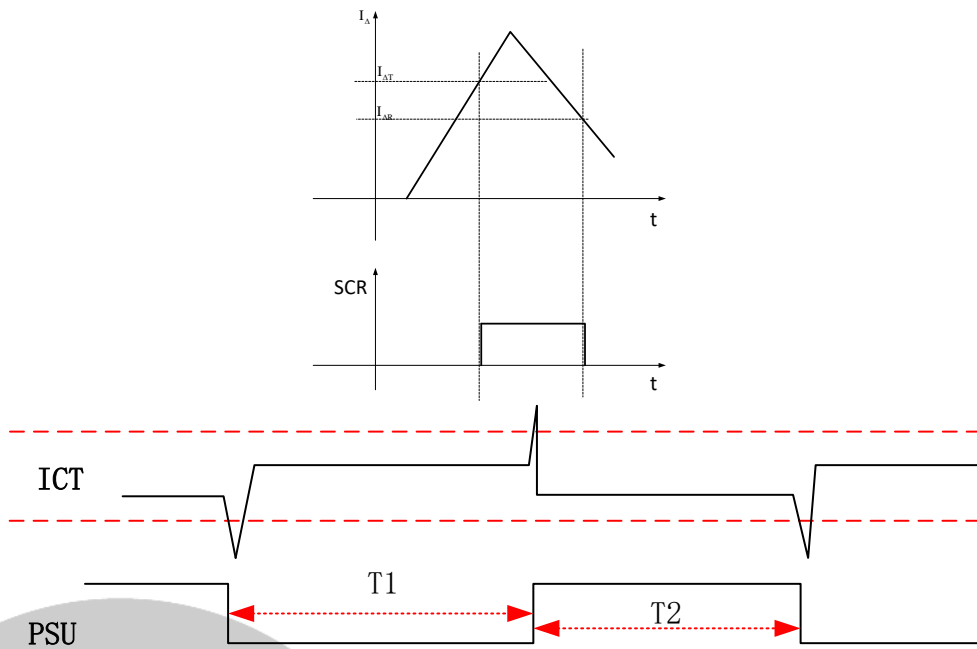
Figure 2. PIN Configuration

Table 7. Pin Function Descriptions

Pin No.	Mnemonic	Description
18	PSU	脉冲输出, 接 MCU
19	RCT	基准电压设置, 外接电阻, 默认上拉 8uA 电流
26	CT1	半桥输出 1
27	SNSM	全桥 PMOS 源极
28	CT2	半桥输出 2
1	VBAT_VDDT	SS4201 芯片电源, SS32F103CBx VBAT 端口, 合并打线
2	STT2	差分测试电流端口
3	STT1	差分测试电流端口
4, PC15	TSTIN2	测试电流模拟输入电压
PC0	_RST	芯片复位输入, 低电平复位, 默认 500K 下拉电阻
PC1	TSTIN1	正负半周选择端口
8,35,47	GND	芯片地

其他端口参考 SS32F103CBx 产品手册

数字信号翻转阈值



Silicon

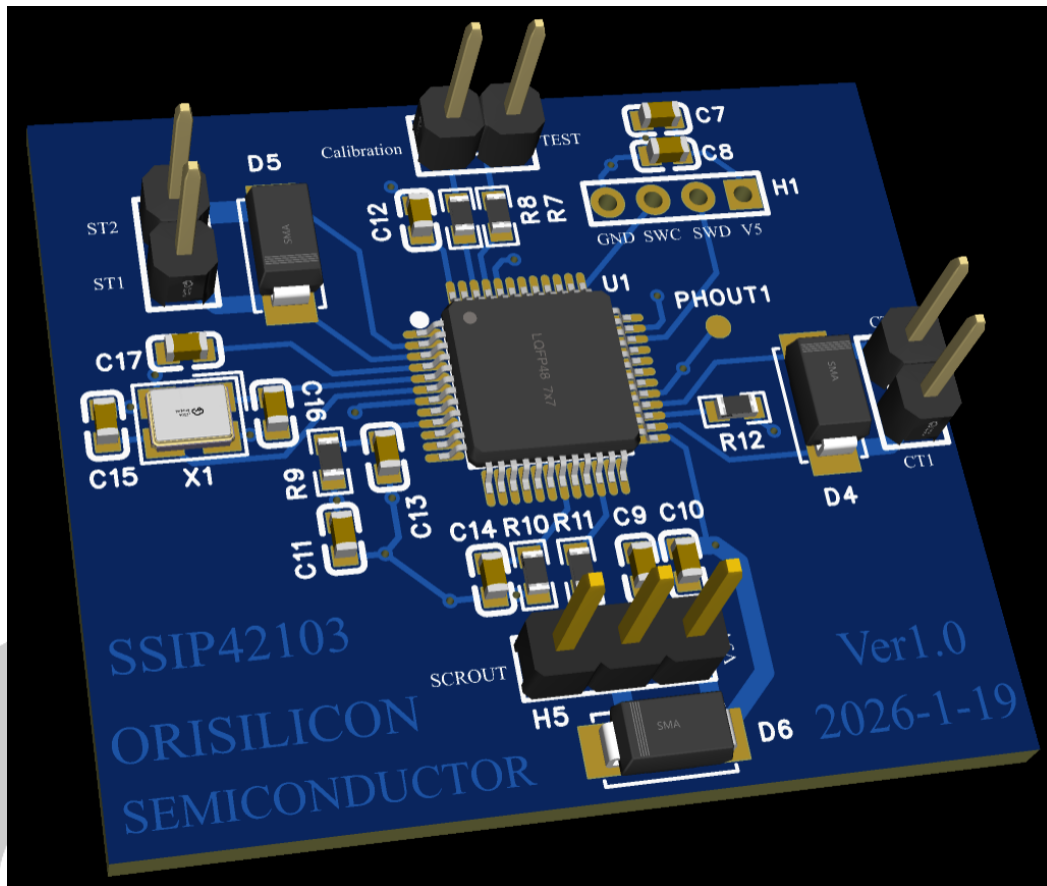
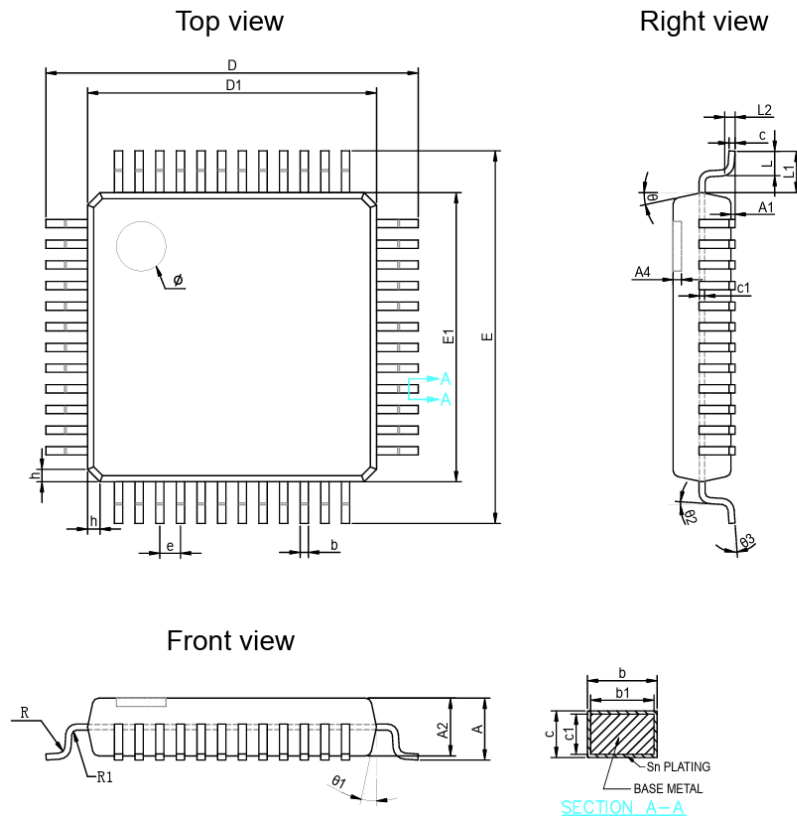


Figure5. 核心监控板PCB 图

Silicon

OUTLINE DIMENSIONS



	SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS	A	—	—	1.60
STAND OFF	A1	0.05	0.10	0.20
BODY THICKNESS	A2	1.35	1.40	1.45
UP BODY THICKNESS	A3	0.64BSC		
THIMBLE DEPTH	A4	0.10	0.20	0.30
LEAD WIDTH	b	0.17	0.225	0.28
LEAD WIDTH	b1	0.20BSC		
L/F THICKNESS	c	0.127	—	0.16
L/F THICKNESS	c1	0.107	0.127	0.147
TOTAL SIZE X	D	8.80	9.00	9.20
BODY SIZE X	D1	6.90	7.00	7.10
TOTAL SIZE Y	E	8.80	9.00	9.20
BODY SIZE Y	E1	6.90	7.00	7.10
LEAD PITCH	e	0.50BSC		
CHAMFER	h	0.20	0.30	0.40
FOOT LENGTH	L	0.45	0.65	0.75
LEAD LENGTH	L1	1.00BSC		
MEASURE POINT	L2	0.25BSC		
R RADIUS	R	0.15 REF		
R1 RADIUS	R1	0.12 REF		
ANGLE FOR MOLD	θ	12° TYP		
ANGLE FOR MOLD	θ1	12° TYP		
ANGLE FOR LEAD	θ2	4° TYP		
ANGLE FOR FOOT	θ3	0° ~ 8°		
THIMBLE DIAMETER	φ	1.10	1.20	1.30

Figure 6. LQFP48

Dimensions show IN2 millimeters

ORDERING GUIDE

MARK1	Temperature Range	MARK2	Package Description	Package Option
SSIP42103	-40°C to +85°C	42103	LQFP48	0707 x 1.4

注：本公司保留不预先通知而修改此文件的权利